التاريخ ١٤ / / — اليوم — عنوان الدرس
الموافق / / — Subject — Day — Date / /

ஒருமுனைவு transistor.

*. ஒருமுனைவு transistor ஆனது மூன்று முனையங்களைக் கொண்ட ஏற்றக்காவிகளாக சுயாதீன e^-, துளை ஆகிய இரண்டில் ஏதாவது ஒன்று மட்டுமேக இருப்பின் அது ஒருமுனைவு transistor ஆகும்.

*. npn, pnp transistors இல் சுயாதீன e^-, துளை ஆகிய இரண்டும் மின்னோட்டத்திற்கு காரணமாக அமையும்.

→ ஆனால் ஒருமுனைவு transistor இல் சுயாதீன e^- மட்டும் or துளை மட்டும் மின்னோட்டத்துக்கு காரணமாக இருக்கும்.

*. ஒருமுனைவு transistors பல வகைகளில் கா/ம்.

i/. n-channel புலவிளைவு transistor :-

→ மின்னோட்டத்திற்கு காரணமாக சுயாதீன e^-கள் மட்டும் இருப்பின் அது n channel ஆகும்.

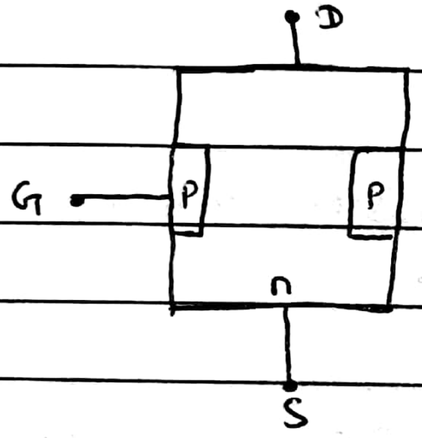
ii/. p-channel புலவிளைவு transistor :-

→ மின்னோட்டத்திற்கு காரணமாக துளைகள் மட்டும் இருப்பின் p channel ஆகும்.

Scanned by CamScanner

*. ஒருமுனைய transistor VLSI (Very large Scale Ic) சிற்றுக்களில் ~~அதி~~ அதிகளவில் பயன்படுத்தப்படுகின்றன.

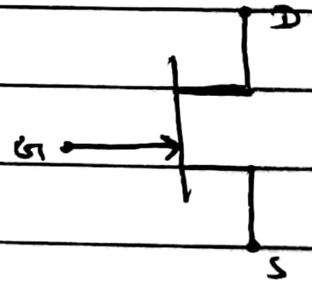
ஒருமுனைய Transistors ன் கட்டமைப்பும், குறியீடும்.

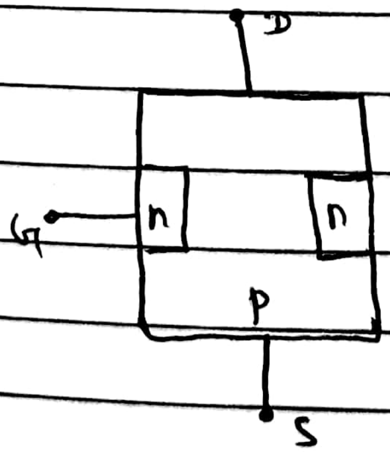


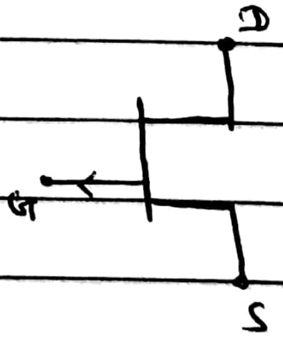
D - Drain (வடிகால்)

G - Gate (கதவம்)

S - Source (மூலம்)







அடிப்படை transistor இனது மூன்று முனையங்களைக் கொண்டுள்ளது.

1/. முதல் (S)

→ பெரும்பான்மை ஏற்றக்காவிகள் transistor உடாக உட்புகும் முனையமாகும்.

II/. வடிகால் (D)

→ பெரும்பான்மை ஏற்றக்காவிகள் transistor ஐ விட்டு வெளியேறும் முனையமாகும்.

III/. கதவம் / படலை (G)

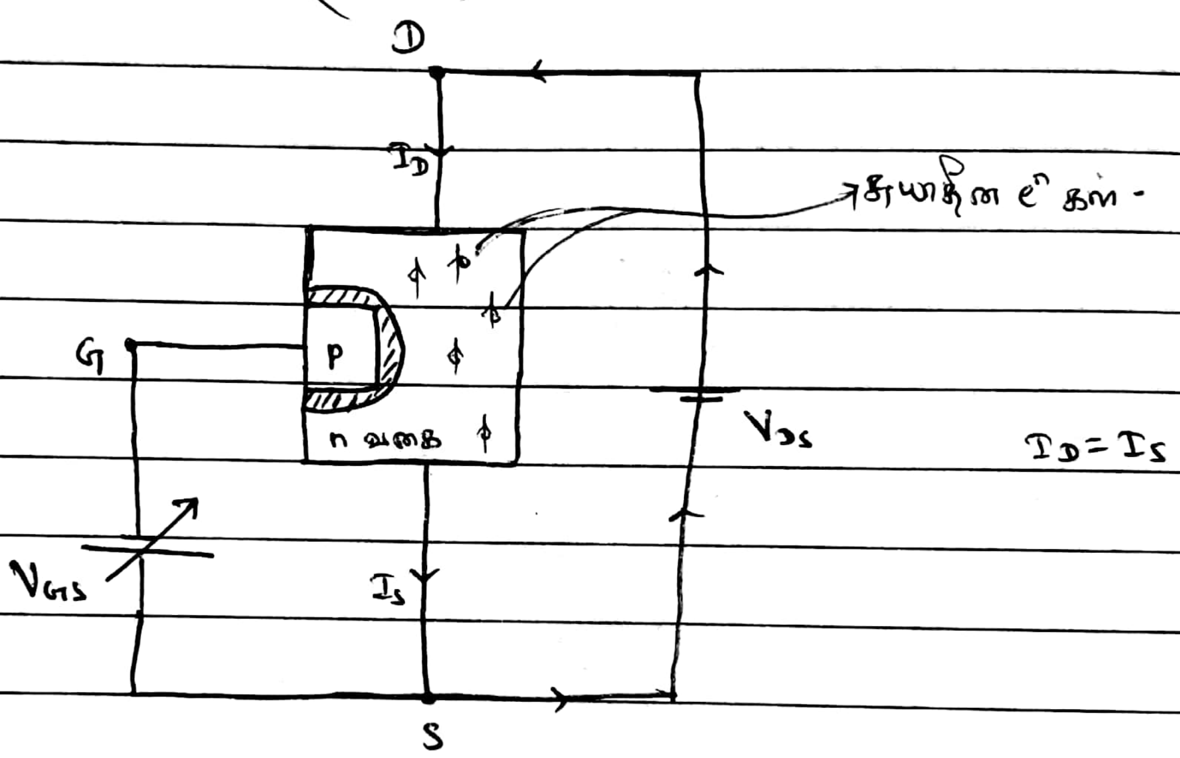
→ இது மின்னோட்டத்தைக் கட்டுப்படுத்தும் முனையமாகும்.

Scanned by CamScanner

*. G S எப்போதும் பின்முகக்கோடல் .

عنوان الدرس ____ اليوم ____ التاريخ ١٤ / /
Subject ____ Day ____ Date / / الموافق / /

n-channel (JFET)



$I_D = I_S$

*. GS அடைப்புகளுக்கு இடையிலான அழுத்த வேறுபாடு எப்போதும் பின்முகக் கோடலுக்குரியதாக இருக்கும் .

*. G, S இடையிலான ΔV ஐ மாற்றுவதன் மூலம் I_D மின்னோட்டமானது கட்டுப்படுத்தப்படுகிறது .

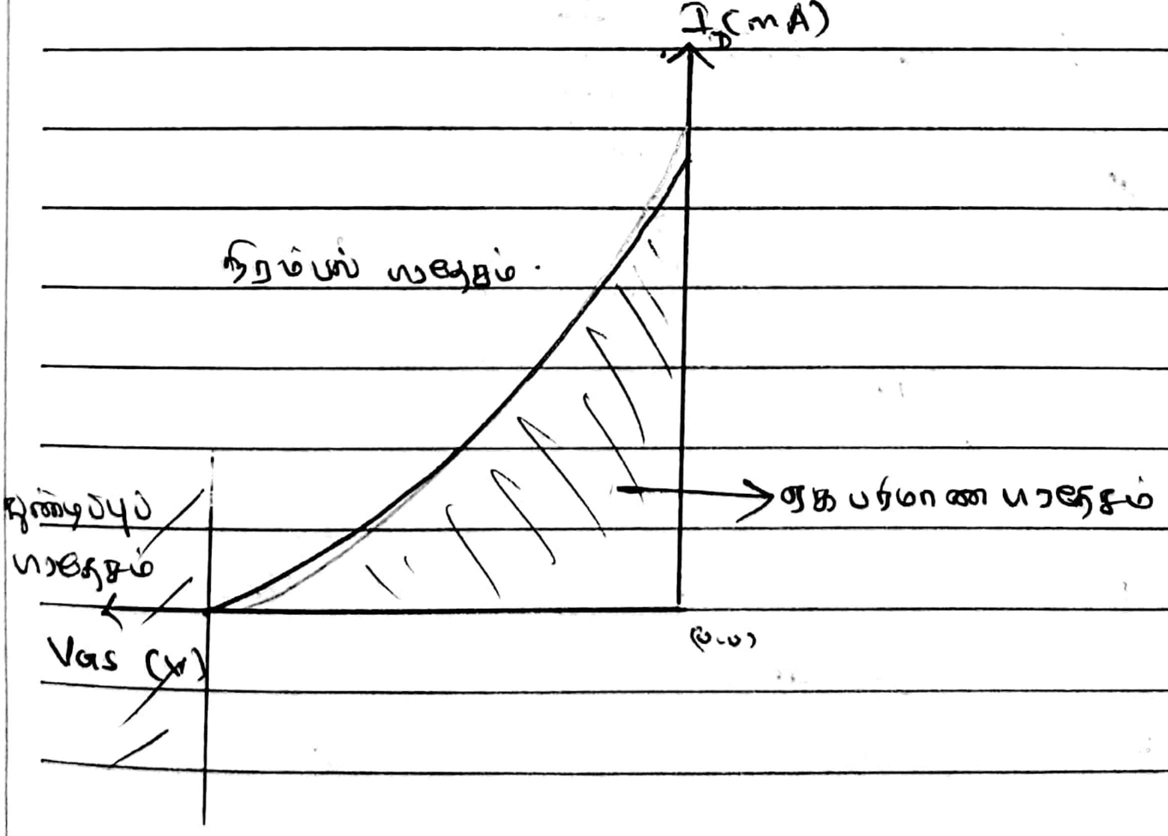
*. V_{GS} அதிகரிக்கும்போது வறிதாக்கல் பிரதேசம் அகலமாவதால் D → S க்கான மின்னோட்டம் குறையும் .

عنوان الدرس ________ اليوم ________ التاريخ ١٤ / /
Subject ________ Day ________ Date / / الموافق / /

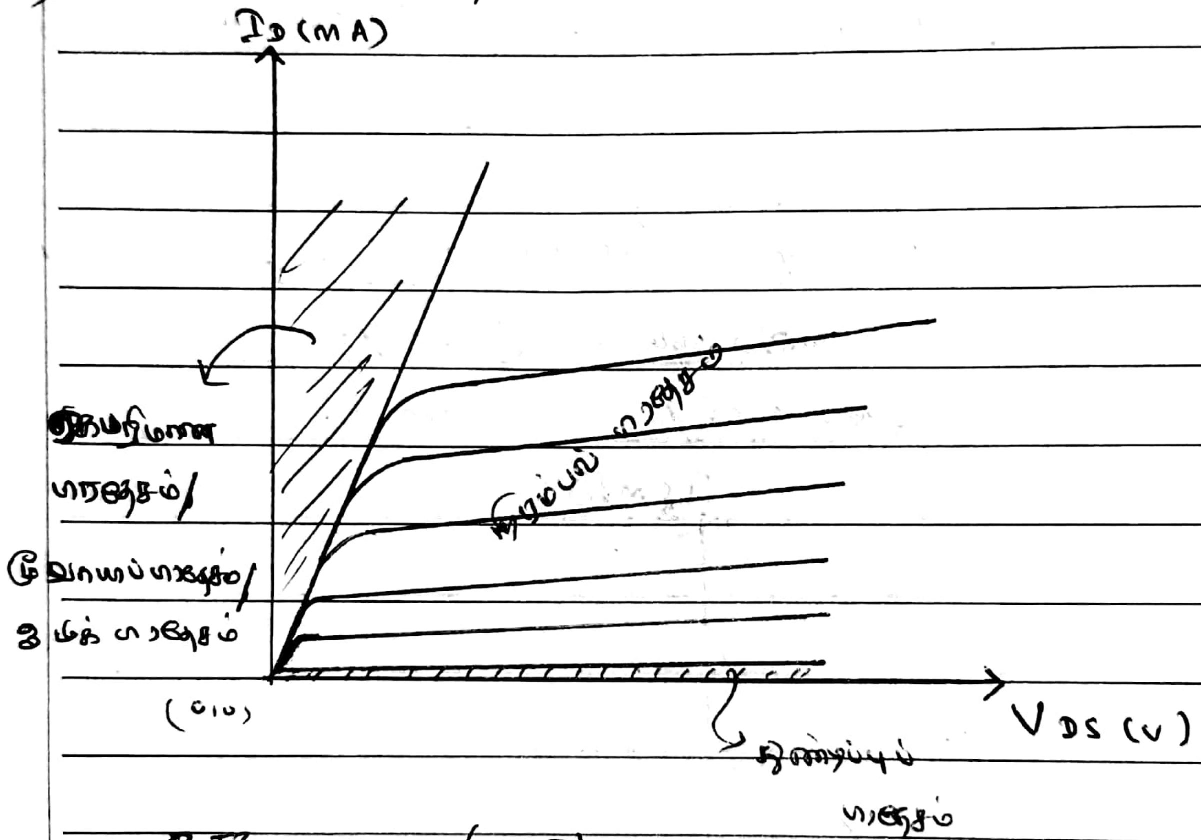
* V_{GS} ஆனது குறைவடையும்போது வறிதாக்கல் பிரதேசம் சுருங்குவதால் D, S இடையிலான மின்னோட்டம் அதிகரிக்கும்.

* n channel புலவிளைவு transistor இன் சிறப்பியல்பு வளையியானது பின்வருமாறு அமையும்.

1/. மாற்றநிலை சிறப்பியல்பு வளையி.



ii/. பயப்பு இயல்பு வரைபு.



BJT இருமுனைவு, (FET) ஒருமுனைவு transistors எனப்படும்.

* i/. BJT உடன் ஒப்பிடும் போது FET ஆனது அதியளவு வெப்பநிலையுடன் உறுதியுடையது.

ii/. BJT உடன் ஒப்பிடும் போது FET ஆனது இலகுவாக உருவாக்கப்படக் கூடியது.

iii/. தொழிற்பாட்டின் போது BJT உடன் ஒப்பிடும்போது சத்தங்கள் குறைவாகும்.

Scanned by CamScanner

عنوان الدرس ______ اليوم ______ التاريخ / / ١٤
الموافق / /
Subject ______ Day ______ Date / /

iv/. BJT ஆனது மின்னோட்டத்தால் கட்டுப்படுத்தப்படும். ஆனால் FET ஆனது அழுத்தத்தினால் கட்டுப்படுத்தப்படும்.

v/. FET ஐ உருவாக்க ஆகும் செலவை விட BJT ஐ உருவாக்க ஏற்படும் செலவு குறைவாகும்.

Scanned by CamScanner

عنوان الدرس ______ اليوم ______ التاريخ ١٤ / /

Subject ______ Day ______ Date / / الموافق / /

தொடரித் தர்க்கசுற்றுக்களும் சேர்மானத் தர்க்க சுற்றுக்களும்.

* தர்க்க சுற்றுக்கள் இருவகைப்படும்.

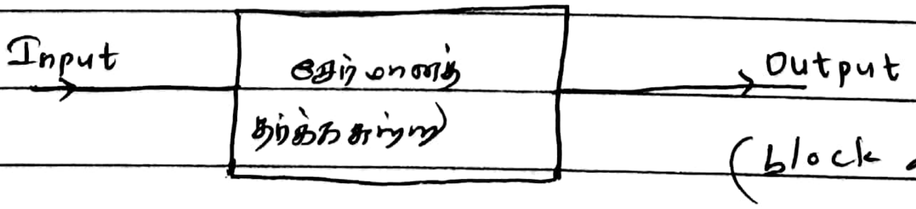
I/. சேர்மானத் தர்க்க சுற்றுக்கள்.

⇒ பயப்பு தர்க்கமட்டமானது அக்கணத்திலுள்ள பெய்ப்பு தர்க்கமட்டங்களில் மாத்திரம் தங்கியிருக்குமாயின் அது சேர்மானத் தர்க்கசுற்றாகும்.

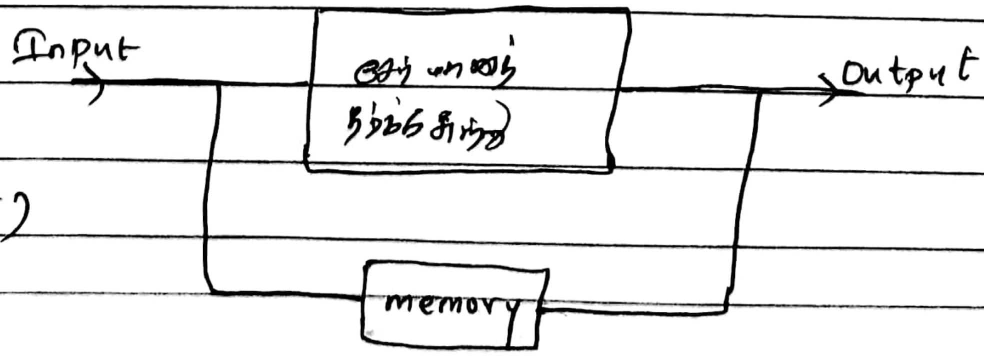
⇒ சேர்மானத் தர்க்க சுற்றுக்கள் முன்னைய பயப்பு, பெய்ப்புப் பெறுமானங்களில் தங்கியிருக்காது.

II/. தொடரித்தர்க்கசுற்று

⇒ பயப்பு தர்க்க மட்டமானது அதற்கு முன்னுள்ள பெய்ப்பு, பயப்பு மட்டங்களில் தங்கியிருக்குமாயின் அது தொடரித் தர்க்கசுற்றாகும்.



(சேர்மானம்) (block diagram)



(தொடரி)

Scanned by CamScanner

عنوان الدرس ______ اليوم ______ التاريخ ١٤ / /
Subject ______ Day ______ Date / / الموافق / /

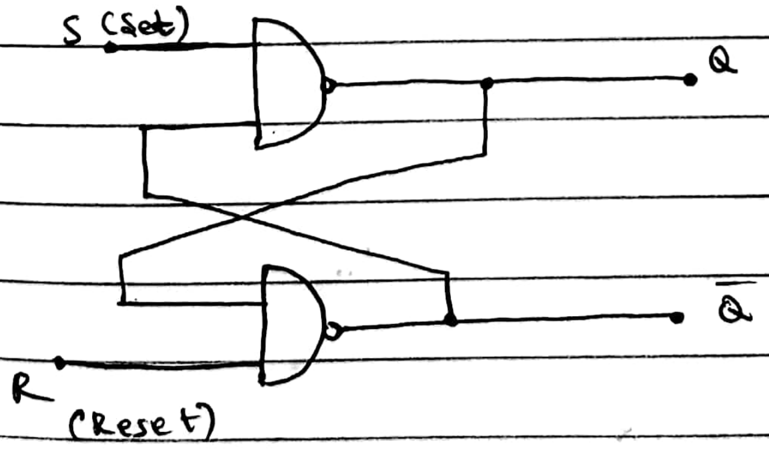
* சேர்மானத் தர்க்க சுற்றுக்களுக்கான உதாரணங்கள் :-

NOT Gate
AND Gate
OR Gate
NAND Gate . . . போன்றன Gates.

* தொடர்த் தர்க்க சுற்றுக்களுக்கான உதாரணங்கள் :-

flip - flop ⇒
SR flip flop
D flip flop

NAND Gate ஐப் பயன்படுத்தி உருவாக்கப்பட்ட SR flip flop

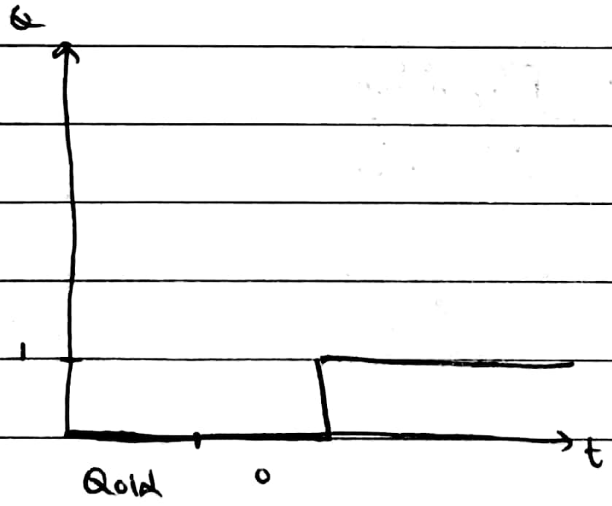


عنوان الدرس ______ اليوم ______ التاريخ / / ١٤ المـوافـق / /

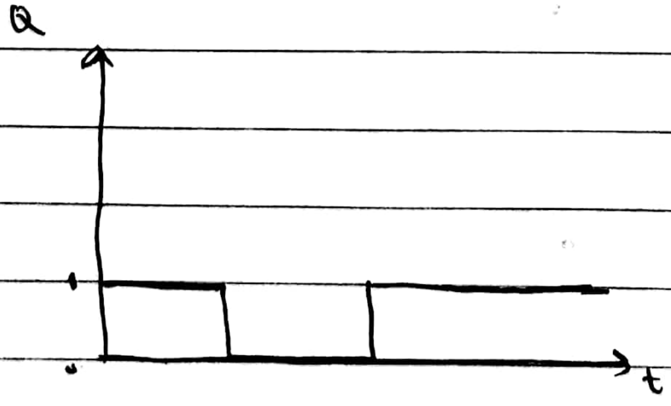
Subject ______ Day ______ Date / /

R	S	Q new
0	0	Q old
0	1	0
1	0	1
1	1	Not Applicable (பயன்படுத்தவொண்ணாது)

Timing diagram (நேரவரைபடம்)



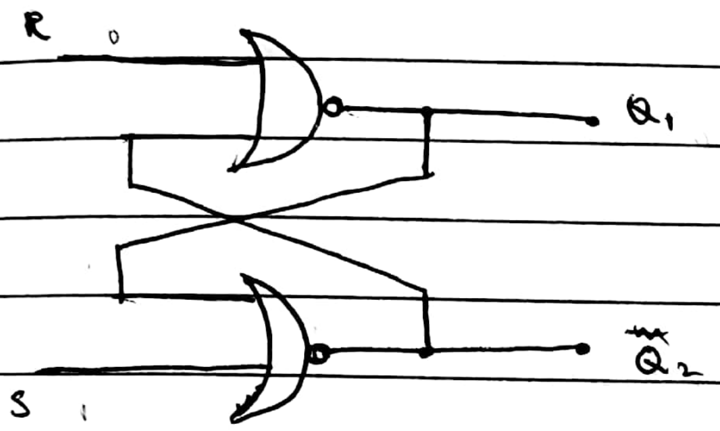
Qold = 0



Qold = 1

التاريخ	/ / ١٤	اليوم	عنوان الدرس
الموافق	/ /	Subject ____ Day ____	Date / /

Ex// 01



S, R ஆகியவற்றுக்கு எதுவித அளிப்பும் வழங்கப்படாத போது Q_1, Q_2 முறையே 0, 1 எனும் பெறுமதிகள் பெறப்பட்டுள்ளதாக தோன்றுகின்றது.

தற்போது S, R க்கு முறையே 1, 0 எனும் பெறுமதிகளை வழங்கும்போது Q_1, Q_2 க்கு கிடைக்கும் பெறுமதி மாற்றம் யாது?

S	R	Q_1	Q_2
0	0	0	1
1	0	1	0

Scanned by CamScanner